

Appendix

CONCISE EXPLANATION UNDER RULE 98

JP-A-4-4682

This document relates to a photoelectric transducer including a plurality of photoelectric converting elements, a plurality of storing means for storing respective electric signals outputted by the converting elements, a signal output line commonly connected to the plurality of storing means, and a means for reading out the respective electric signals from the plurality of storing means to the signal output line, and adding those electric signals to each other on the signal output line.

**PHOTOELECTRIC CONVERTER**

Patent Number: JP4004682  
Publication date: 1992-01-09  
Inventor(s): KUMATORIYA AKIHIKO  
Applicant(s): CANON INC  
Requested Patent: ☐ JP4004682  
Application Number: JP19900105190 19900423  
Priority Number(s):  
IPC Classification: H04N5/335  
EC Classification:  
Equivalents: JP2915483B2

---

**Abstract**

---

**PURPOSE:** To simplify an external signal processing circuit in a photoelectric converter subjected to color processing and to provide a function such as improvement of sensitivity by reading each signal stored in plural storage means to a signal output line and applying addition processing to signals on the signal output line.

**CONSTITUTION:** Signal output lines 26-29 connected in common to plural storage means 10-17 storing signals respectively outputted to plural photoelectric conversion elements 2-9 are provided to the photoelectric converter and signals stored in the plural storage means are read to the signal output lines and the signals are added on the signal output lines. Thus, a sum output added when the signal is read from the signal readout section is obtained.

---

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-4682

⑤ Int. Cl.<sup>5</sup>

H 04 N 5/335

識別記号

E

庁内整理番号

8838-5C

⑬ 公開 平成4年(1992)1月9日

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 光電変換装置

⑮ 特 願 平2-105190

⑯ 出 願 平2(1990)4月23日

⑰ 発 明 者 熊 取 谷 昭 彦 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑱ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑲ 代 理 人 弁理士 山下 穰平

明 細 書

1. 発明の名称

光電変換装置

2. 特許請求の範囲

(1) 複数の光電変換要素から出力される信号をそれぞれ蓄積する複数の蓄積手段と、

この複数の蓄積手段に共通接続された信号出力線とを有し、

前記複数の蓄積手段に蓄積されたそれぞれの信号を前記信号出力線に読み出し、前記信号出力線上で信号の加算処理を行うことを特徴とする光電変換装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明の光電変換装置に係り、特に信号読出部内で信号を加算して読出すことが可能な光電変換装置に関するものである。

〔従来の技術〕

近年、ビデオカメラの小型・軽量化が著しく進み、需要も増大しつつある。従来からカラービデ

オカメラのカラー化の方式としては単板カラー方式が主流を占めてきた。

単板カラー方式では、イメージセンサにカラーフィルターを貼り、イメージセンサー出力を信号処理回路で画像を作っていた。

このような単板カラー方式において、カラーフィルターには、いろいろな方式があるが、色解像度の点から、フィールド毎に1行ずらして2行を加算することにより信号を得る信号読み出し方法が一般的に用いられていた。例えば、第1フィールドでは、1行目と2行目、3行目と4行目、第2フィールドでは2行目と3行目、4行目と5行目を加算してインターレース動作を行っていた。

第8図は従来のイメージセンサーの回路構成図である。

同図において、1は水平シフトレジスタ、2～5はベースに電荷を蓄積し、エミッタから信号を読み出すバイポーラ型のセンサ（以下センサーバイポーラという）、10～13はセンサーバイ

ボーラ2～5のベースに蓄積した信号を読み出すための容量 $C_{ox}$ 、18～21はセンサーバイポーラ2～5のベースをリセット電圧 $V_{ss}$ にリセットするためのベースリセット用のpMOSトランジスタ、26はセンサーバイポーラ2、4の信号を出力する垂直信号線、28はセンサーバイポーラ3、5の信号を出力する垂直信号線、30、32は垂直信号線26、28をリセット電圧 $V_{ss}$ にリセットするための垂直リセット用のMOSトランジスタ、38、40は信号を一時蓄えておく蓄積容量 $C_T$ 、34、36は垂直信号線26、28に出力された信号を蓄積容量 $C_T$ 38、40へ転送するための転送用のMOSトランジスタ、46は水平信号線、42、44は蓄積容量 $C_T$ 38、40に蓄えられた信号を水平信号線46へ出力するための水平転送用のMOSトランジスタ、47は水平信号線46をリセット電圧 $V_{ss}$ にリセットするため水平リセット用のMOSトランジスタ、48はバッファ・アンプ、49は出力端子である。

次に、時刻 $t_1$ において、パルス $\phi_{nc}$ をハイレベルとして、水平出力線46をリセット電圧 $V_{ss}$ にリセットする。

次に、時刻 $t_2$ において、センサーバイポーラ2、3のエミッタと蓄積容量 $C_T$ 38、40がリセット電圧 $V_{ss}$ にリセットされる。

次に、時刻 $t_3$ において、センサーバイポーラ4、5の信号が蓄積容量 $C_T$ 38、40に読み出され、以下上述した動作と同様な動作で水平出力線46に出力される。

〔発明が解決しようとしている課題〕

しかしながら、上記従来のイメージセンサでは、2行分の信号を加算する場合にイメージセンサの外部で加算処理をやらねばならず、システム全体の大型化を招き、又、外部回路の調整も必要でコスト高となる問題点があった。

〔課題を解決するための手段〕

本発明の光電変換装置は、複数の光電変換要素から出力される信号をそれぞれ蓄積する複数の蓄積手段と、

上記構成のイメージセンサにおける通常の動作は、第9図のタイミング・チャートによって示される。

同図に示すように、まず、時刻 $t_1$ において、パルス $\phi_{n1}$ をミドルレベルからハイレベルとして、ベース電位を $C_{ox}10$ 、11を通して持ち上げると、センサーバイポーラ2、3のベースに蓄えられていた信号がエミッタへ読み出される。同時にパルス $\phi_T$ をハイレベルとして、垂直出力線26、28へ出力されていた信号を蓄積容量 $C_T$ 38、40へ転送する。

次に、時刻 $t_2$ において、パルス $\phi_{n1}$ をハイレベルとして、蓄積容量 $C_T$ 38へ蓄えられていた信号を水平出力線46に読み出す。

次に、時刻 $t_3$ において、パルス $\phi_{nc}$ をハイレベルとして、水平出力線46をリセット電圧 $V_{ss}$ にリセットする。

次に、時刻 $t_4$ において、パルス $\phi_{n2}$ をハイレベルとして、蓄積容量 $C_T$ 40に蓄えられていた信号を水平出力線46へ読み出す。

この複数の蓄積手段に共通接続された信号出力線とを有し、

前記複数の蓄積手段に蓄積されたそれぞれの信号を前記信号出力線に読み出し、前記信号出力線上で信号の加算処理を行うことを特徴とする。

なお、本願において、加算処理とは、二つの信号レベルを加算したものに、ある係数をかけた処理をいう。

〔作用〕

本発明は、複数の蓄積手段に蓄積されたそれぞれの信号を前記信号出力線に読み出し、前記信号出力線上で信号の加算処理を行うことにより、信号読出部から信号を読み出す時点で加算された出力を得られるようにしたものである。

以下、本発明における加算処理動作について図面を用いて説明する。

第6図(A)は本発明の光電変換装置における加算処理動作を説明するための説明図、第6図(B)は従来の光電変換装置における加算処理動作を説明するための説明図である。

第6図(B)に示すように、従来の光電変換装置においては、画素 $S_{11}$ からの信号と画素 $S_{21}$ からの信号とを加算する場合、画素 $S_{11}$ からの信号を蓄積手段 $C_{r1}$ (容量を $C_r$ とする)に蓄積し(信号電圧 $V_{11}$ )、この信号を水平出力線 $S_L$ (寄生容量を $C_n$ とする)に出力した後に、画素 $S_{21}$ からの信号を蓄積手段 $C_{r1}$ に蓄積し(信号電圧 $V_{21}$ )、この信号を水平出力線 $S_L$ に出力し、外部回路で次のような加算処理を行う。

$$V_{out} = \frac{C_r}{C_r + C_n} V_{11} + \frac{C_r}{C_r + C_n} V_{21}$$

一方、第6図(A)に示すように、本発明の光電変換装置においては、画素 $S_{11}$ からの信号と画素 $S_{21}$ からの信号とを加算する場合、画素 $S_{11}$ からの信号を蓄積手段 $C_{r1}$ (容量を $C_r$ とする)に蓄積し(信号電圧 $V_{11}$ )、画素 $S_{21}$ からの信号を蓄積手段 $C_{r2}$ (容量を $C_r$ とする)に蓄積し(信号電圧 $V_{21}$ )、両信号を水平出力線 $S_L$ (寄生容量を $C_n$ とする)に出力して、次のような加算処理を行う。

28、29は各々互い違いに垂直方向に1つおきのエミッタに接続している垂直信号線、30~33は垂直信号線26~29をリセット電圧 $V_{rc}$ にリセットするためのnMOSトランジスタ、38~41は信号を一時蓄えておくための蓄積容量 $C_r$ 、34~37はそれぞれ垂直信号線26~29に出力された信号を蓄積容量 $C_r$ 38~41へ移すための転送用のMOSトランジスタ、46は水平信号線、42~45はそれぞれ蓄積容量 $C_r$ 38~41に蓄えられた信号を水平信号線46に読み出すための水平転送用のMOSトランジスタ、47は水平信号線をリセット電圧 $V_{nc}$ にリセットするための水平リセット用のMOSトランジスタ、48はバッファアンプ、49は出力端子である。

上記構成の光電変換装置における回路動作を第2図のタイミングチャートを用いて以下に説明する。

まず、時刻 $t_1$ において、パルス $\phi_{s1}$ 、 $\phi_{s2}$ をミドルレベルからハイレベルにすると、センサー

$$V_{out} = \frac{C_r}{2C_r + C_n} V_{11} + \frac{C_r}{2C_r + C_n} V_{21}$$

このように、本発明においても信号電圧の加算値( $V_{11} + V_{21}$ )に所定の係数をかけた処理、すなわち加算処理が行われる。

#### 【実施例】

以下、本発明の実施例について図面を用いて説明する。

第1図は、本発明の光電変換装置の第1実施例の回路構成図である。

なお、第8図に示した構成部材と同一構成部材については、同一符号を付するものとする。

同図において、1は水平シフトレジスタ、2~9は、ベース領域に光信号を蓄積し、エミッタへ出力する各々が1画素に相当するセンサーバイポーラ、10~17は、センサーバイポーラ2~9のベースに蓄積された信号をエミッタへ読み出すための容量 $C_{ox}$ 、18~25は、センサーバイポーラのベースをリセット電圧 $V_{nc}$ にリセットするためのpMOSトランジスタ、26、27及び

バイポーラ2~5のベース電位が、容量 $C_{ox}$ 10~13を通して持ち上がるため、エミッタから信号が出力される。同時にパルス $\phi_r$ をハイレベルにすると、垂直信号線26、28に読み出された信号は蓄積容量 $C_r$ 38、40へ、垂直信号線27、29に読み出された信号は蓄積容量 $C_r$ 39、40へ転送される。

次に、時刻 $t_2$ において、パルス $\phi_{s1}$ 、 $\phi_{s2}$ をロウレベルにすると、信号の読み出しは終了、ベースリセット用のpMOSトランジスタ18~21がON状態となるのでセンサーバイポーラ2~5のベースはベースリセット電圧 $V_{nc}$ にリセットされる。

次に、時刻 $t_3$ において、パルス $\phi_{s1}$ をハイレベルにすると、MOSトランジスタ42、43がON状態となり、蓄積容量 $C_r$ 38と蓄積容量 $C_r$ 39に蓄えられていたセンサーバイポーラ2、4に対応する信号が加算されて水平出力線46に出力される。

次に、時刻 $t_4$ において、パルス $\phi_{s2}$ をハイレ

レベルにすると、MOSトランジスタ47がON状態となり、水平出力線46がリセット電圧 $V_{nc}$ にリセットされる。

次に、時刻 $t_1$ において、時刻 $t_0$ のときと同様にしてセンサバイポーラ3,5に対応する信号が水平出力線46に出力される。以下時刻 $t_0$ ～時刻 $t_1$ まで、順次パルス $\phi_{n1}$ とパルス $\phi_{n2}$ によって読み出される行の信号が、2行加算されて水平信号線46に出力される。

次に、時刻 $t_1$ において、パルス $\phi_{n1}$ 、 $\phi_{n2}$ をロウレベルからハイレベル、パルス $\phi_{vc}$ をハイレベルにすると、ベースリセット用のpMOSトランジスタ18～21がOFF状態となるとともに、容量 $C_{ox10} \sim 13$ を通してセンサバイポーラ2～5のベース電位が持ち上げられ、同時にリセット用のMOSトランジスタ26～29がON状態となるため、エミッタはMOSトランジスタ26～29を通して垂直リセット電圧 $V_{vc}$ にリセットされ、ベースに残留した電荷もリフレッシュされる。この時パルス $\phi_v$ をハイレベルとす

ると転送用のMOSトランジスタ34～37もON状態となり、蓄積容量 $C_{r38} \sim 41$ がリセットされる。

次に、時刻 $t_1$ において、パルス $\phi_{n1}$ 、 $\phi_{n2}$ をハイレベルからミドルレベルにすると、センサバイポーラ2～5はベース電位が低下して逆バイアス状態となり、光信号の蓄積が始まる。

次に、時刻 $t_1$ において、今度はパルス $\phi_{n3}$ 、 $\phi_{n4}$ をミドルレベルからハイレベルにするとセンサバイポーラ6～9のベースに蓄えられていた光信号が蓄積容量 $C_{r38} \sim 41$ に読み出される。パルス $\phi_{n1}$ 、 $\phi_{n2}$ が加えられるラインと同様に、パルス $\phi_{n3}$ 、 $\phi_{n4}$ が加えられるラインもセンサバイポーラ6,8、センサバイポーラ7,9というように2行分が順次加算され水平出力線46に出力される。

以下、同様動作を続けることにより、2行ずつ信号が加算され出力される。以上の動作は第1行目のセンサバイポーラからの信号と第2行目のセンサバイポーラからの信号とを加算するものであ

るが、この動作を第1フィールドとする。

次に第2フィールドの回路動作について、第3図のタイミングチャートを用いて説明する。

第2フィールドの動作は、第2行目のセンサバイポーラからの信号と第3行目のセンサバイポーラからの信号とを加算するものである。

まず、時刻 $t_1$ において、パルス $\phi_{n3}$ 、 $\phi_{n4}$ をミドルレベルからハイレベルにすると、センサバイポーラ4～7のベース電位が持ち上げられ、エミッタに信号が出力される。このときパルス $\phi_v$ もハイレベルになっているのでセンサバイポーラ4の信号は蓄積容量 $C_{r39}$ に転送され、センサバイポーラ6の信号は蓄積容量 $C_{r38}$ に転送される。以下、第1フィールドの場合と同様に蓄積容量 $C_{r38}$ と蓄積容量 $C_{r39}$ の信号は加算されて水平出力線46に出力され、順次第2行と第3行の信号が加算されて水平出力線46に出力される。

同様にして時刻 $t_1$ において、第4行目のセンサバイポーラからの信号と第5行目のセンサバイ

ポーラからの信号が蓄積容量 $C_{r38}$ へ読み出され、以下順次加算されて、水平出力線46に出力される。

このように本発明の光電変換装置を用いれば、フィールド毎に1行ずらして2行加算が出力できるので、カラーフィルターを貼ったイメージセンサのインターレース動作が容易に実現でき、後の信号処理も簡易化できる。また2画素加算して読み出すので、固定パターンノイズも減らすことができる効果がある。

第4図は、本発明の光電変換装置の第2実施例の部分回路構成図である。

第5図は、上記光電変換装置の動作を説明するためのタイミングチャートである。

本実施例の光電変換装置の特徴とするところは、第4図に示すように、第1図に示した第1実施例に加えて、切替用のnMOSトランジスタ50、pMOSトランジスタ51が設けられていることである。なお、他の構成部材については第1図に示した構成部材と同じなので図示及び説

明を略すものとする。

以下、第5図のタイミングチャートに従って動作を説明する。

なお、時刻 $t_{10}$ までは、第2図に示したタイミングチャートと同じ動作であり、センサーバイポーラ2～5の信号を蓄積容量 $C_{38} \sim 41$ へ読み出し、センサーバイポーラのベースをリセット電位 $V_{sc}$ にリセットする動作が行われる。

次に、時刻 $t_{11}$ において、パルス $\phi_{n1}$ をロウレベルからハイレベルとし、パルス $\phi_{p1}$ をハイレベルとすると、pMOSトランジスタ51がOFF状態、nMOSトランジスタ50がON状態となって、水平転送用のMOSトランジスタ42～45がON状態となるので、蓄積容量 $C_{38} \sim 41$ に蓄えられていた信号が加算されて水平出力線46に出力される。

次に、時刻 $t_{12}$ において、パルス $\phi_{nc}$ をハイレベルとして、MOSトランジスタ47をON状態として、水平出力線46をリセット電位 $V_{sc}$ にリセットする。

走査部203によってテレビジョン走査が行なわれる。

水平走査部203から出力された信号は、処理回路204を通して標準テレビジョン信号として出力される。

垂直および水平走査部202及び203の駆動パルス $\phi_{ns}$ 、 $\phi_{n1}$ 、 $\phi_{ns}$ 、 $\phi_{vs}$ 、 $\phi_{v1}$ 、 $\phi_{vs}$ 等はドライバ205によって供給される。またドライバ205はコントローラ206によって制限される。

#### 【発明の効果】

以上詳細に説明したように、本発明の光電変換装置によれば、複数の蓄積手段に蓄積されたそれぞれの信号を前記信号出力線に読み出し、前記信号出力線上で信号の加算処理を行うことにより、信号読出部から信号を読み出す時点で加算処理が行なえるようになったので、カラー化された光電変換装置における外部の信号処理回路を簡易にし、感度アップなどの機能を果たせることができるという効果がある。

次に、時刻 $t_{13}$ において、パルス $\phi_{ns}$ をロウレベルからハイレベルとしても、MOSトランジスタ51がOFF状態であるため、水平転送は行なわれない。

次に、時刻 $t_{14}$ において、1行目と2行目センサーバイポーラ2～5のエミッタ及び蓄積容量 $C_{38}$ がリセットされる。

以下同様の動作で、時刻 $t_{15}$ からは、センサーバイポーラ6～9の信号が蓄積容量 $C_{38} \sim 41$ へ読み出され、4信号が加算されて水平出力線46に出力される。このような動作によって画素数を1/4にした場合と同じ出力が取り出せる。

以上説明したように、本実施例においては、センサー内部で加算処理が行なわれ、感度が向上するので、低照度時には解像度を落してS/N比を上げることができる。

第7図は、本発明を適用した固体撮像装置の概略構成図である。

同図において、光センサがエリア状に配列された撮像素子201は、垂直走査部202及び水平

#### 4. 図面の簡単な説明

第1図は、本発明の光電変換装置の第1実施例の回路構成図である。

第2図及び第3図は、上記光電変換装置の動作を説明するためのタイミングチャートである。

第4図は、本発明の光電変換装置の第2実施例の部分回路構成図である。

第5図は、上記光電変換装置の動作を説明するためのタイミングチャートである。

第6図(A)は本発明の光電変換装置における加算処理動作を説明するための説明図、第6図(B)は従来の光電変換装置における加算処理動作を説明するための説明図である。

第7図は、本発明を適用した固体撮像装置の概略構成図である。

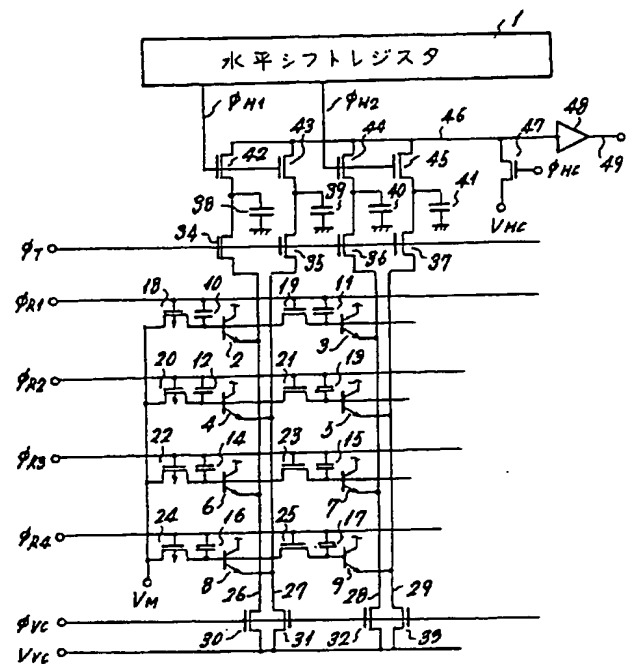
第8図は従来のイメージセンサーの回路構成図である。

第9図は、従来のイメージセンサーの動作を説明するためのタイミングチャートである。

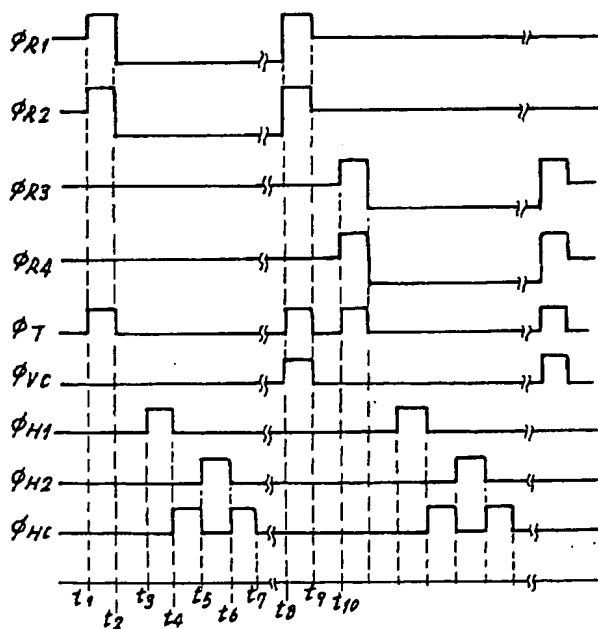
1: 水平シフトレジスタ、2~9: センサー  
イボラ、10~17: 容量 $C_{ox}$ 、18~25:  
pMOSトランジスタ、26~29: 垂直信号  
線、30~33: nMOSトランジスタ、38~  
41: 蓄積容量 $C_T$ 、34~37: 転送用のMOS  
トランジスタ、46: 水平信号線、42~45:  
水平転送用のMOSトランジスタ、47: 水平  
リセット用のMOSトランジスタ、48: バッ  
ファアンプ、49: 出力端子。

代理人 弁理士 山下 慎 平

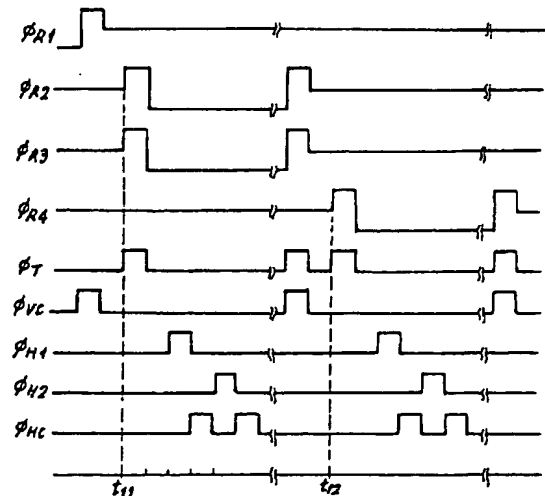
第 1 図



第 2 図

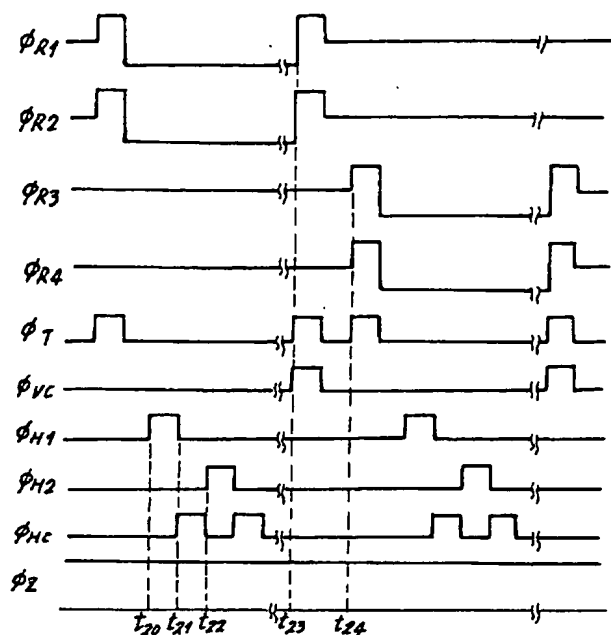


第 3 図

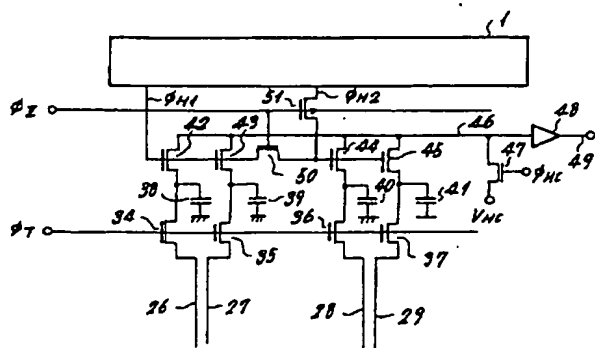




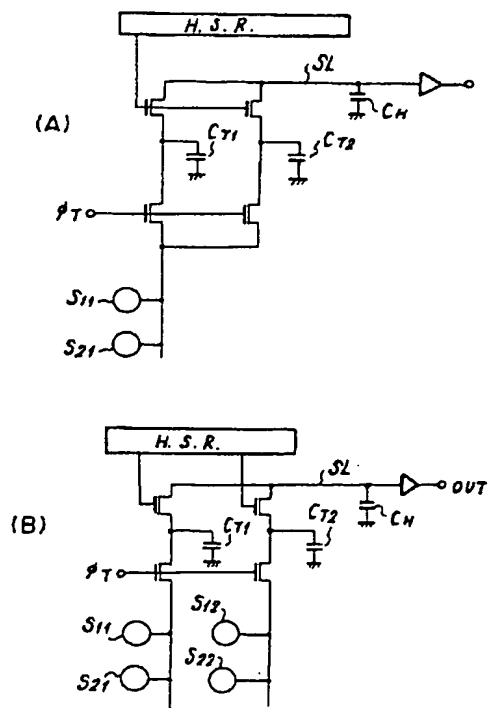
第 5 図



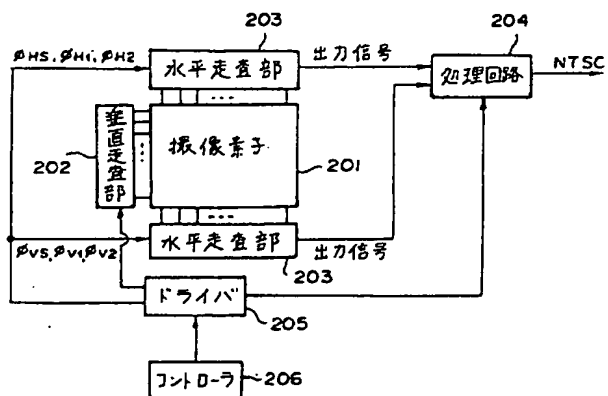
第 4 図



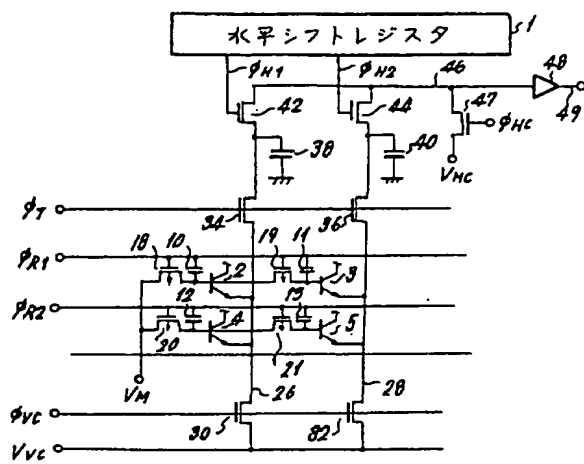
第 6 図



第 7 図



第 8 図



第 9 図

